

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 02201946
PUBLICATION DATE : 10-08-90

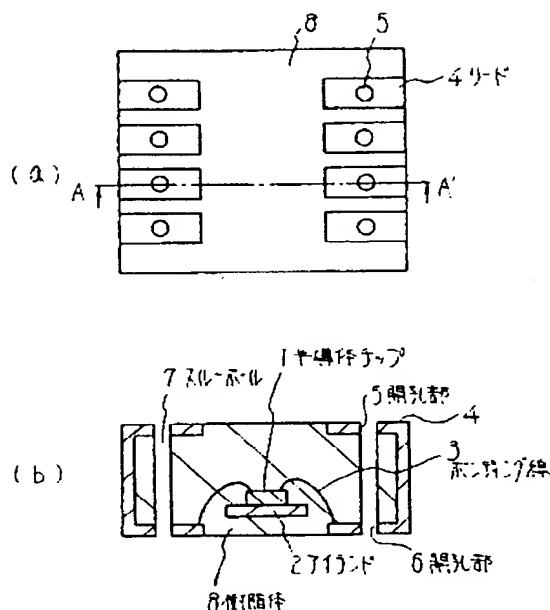
APPLICATION DATE : 30-01-89
APPLICATION NUMBER : 01021245

APPLICANT : NEC IC MICROCOMPUT SYST LTD;

INVENTOR : TSUCHIYA MORIHIRO;

INT.CL. : H01L 23/50 H01L 23/28

TITLE : SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To reduce mounting occupied area for a wiring board to realize high- density mounting by disposing leads along the outer wall of a resin body and providing a through hole that passes through the resin body.

CONSTITUTION: An island 2 on which a semiconductor chip 1 is mounted and the electrode of the semiconductor chip 1 disposed around the island 2 are electrically connected by a bonding wire 3. A semiconductor device comprises a vertical U-shaped lead 4, openings 5, 6 disposed below and above the lead 4, a resin body 8 having a through hole 7 that seals the inner side of the land 4 except the outer side and the island 2 and passes through the openings 5, 6. Thus, an occupied area (a mounting area) including the front end of a lead is made smaller, and mounting integration of a circuit board can be enhanced.

COPYRIGHT: (C) JPO

⑩ 日本国特許庁(JP) ⑪ 特許出願公開
⑫ 公開特許公報(A) 平2-201946

⑬ Int.Cl.⁵ 識別記号 庁内整理番号 ⑭ 公開 平成2年(1990)8月10日
H 01 L 23/50 R 7735-5F
23/28 A 6412-5F

審査請求 未請求 請求項の数 1 (全2頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平1-21245
⑰ 出 願 平1(1989)1月30日

⑱ 発 明 者 土 屋 盛 大 東京都港区芝5丁目7番15号 日本電気アイシーマイコン
システム株式会社内
⑲ 出 願 人 日本電気アイシーマイ 東京都港区芝5丁目7番15号
コンシステム株式会社
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称
半 導 体 装 置

特 許 請 求 の 範 囲

半導体チップを搭載したアイランドと、前記アイランドの周囲に配列して設け前記半導体チップと電気的に接続し且つコ字形に整形されたリードと、前記リードの上部及び下部に設けた開孔部と、前記リードの外側面以外の内側及び前記アイランドを含んで封止し且つ前記開孔部の間を貫通するスルーホールを有する樹脂体とを有することを特徴とする半導体装置。

発 明 の 詳 細 な 説 明

(産業上の利用分野)

本発明は、半導体装置に関し、特に樹脂封止型の半導体装置に関する。
(従来の技術)

従来の樹脂封止型半導体装置は、第2図に示すように、半導体チップ1を搭載したアイランド2の周囲に配置して設けたリード4がこれらを封止する樹脂体8の左右両方向に引き出され、樹脂体8の底面方向に曲げられ、さらにリード先端部を樹脂体8の底面と同一面内の外側方向へ曲げて構成されていた。

(発明が解決しようとする課題)

上述した従来の半導体装置では、リード先端を含む占有面積(実装面積)が大きく回路基板への実装集積度を向上できないという欠点があった。

(課題を解決するための手段)

本発明の半導体装置は、半導体チップを搭載したアイランドと、前記アイランドの周囲に配列して設け前記半導体チップと電気的に接続し且つコ字形に整形されたリードと、前記リードの上部及び下部に設けた開孔部と、前記リードの外側面以外の内側及び前記アイランドを含んで封止し且つ前記開孔部の間を貫通するスルーホールを有す

る樹脂体とを有する。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図(a)、(b)は本発明の一実施例を示す平面図及びA-A'線断面図である。

第1図(a)、(b)に示すように、半導体チップ1を搭載したアイランド2と、アイランド2の周囲に配列して設けて半導体チップ1の電極とボンディング線3により電気的に接続され、且つコ字形に整形されたリード4と、リード4の上部及び下部に設けた開孔部5、6と、リード4の外側面以外の内側及びアイランド2を含んで封止し且つ開孔部5、6の間を貫通するスルーホール7を有する樹脂体8とを含んで半導体装置を構成する。

〔発明の効果〕

以上説明したように本発明は、リードが樹脂体の外壁に沿って設けられ、かつ半導体装置のリード及び樹脂体を貫通するスルーホールを有するこ

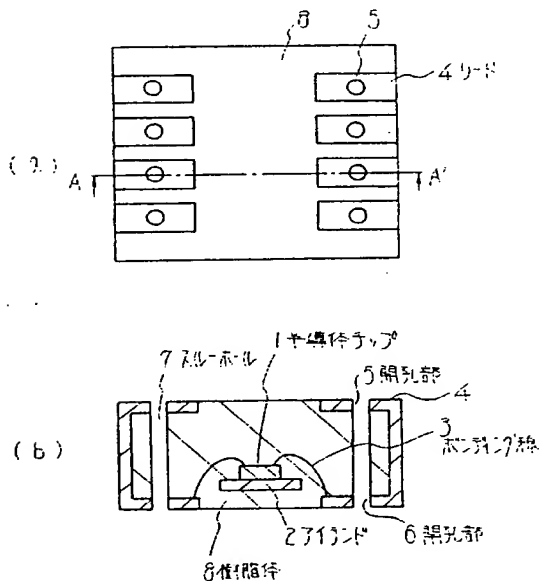
とにより、配線基板への実装占有面積を減らすことができるため、高密度実装が可能であり、かつ、配線基板上の半田付け及びリードソケット挿入及びプリント基板スルーホール挿入等に対してパッケージの上面または下面のどちらでのリードを使用しても搭載が可能となる効果がある。

図面の簡単な説明

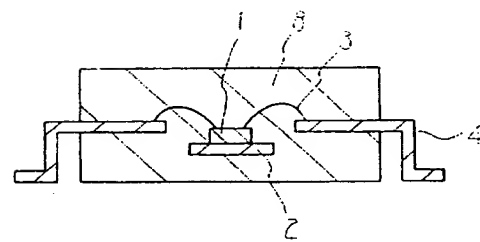
第1図(a)、(b)は本発明の一実施例を示す平面図及びA-A'線断面図、第2図は従来の半導体装置の一例を示す断面図である。

1…半導体チップ、2…アイランド、3…ボンディング線、4…リード、5、6…開孔部、7…スルーホール、8…樹脂体。

代理人 弁理士 内 原 晋



第1図



第2図